

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09116388 A**

(43) Date of publication of application: **02 . 05 . 97**

(51) Int. Cl

H03H 17/06
H03H 17/06
H03H 17/06
H03H 17/00

(21) Application number: **07293508**

(22) Date of filing: **16 . 10 . 95**

(71) Applicant: **SONY CORP**

(72) Inventor: **TAKADA TOSHIO**

**(54) FINITE LENGTH IMPULSE RESPONSE FILTER,
DIGITAL SIGNAL PROCESSOR AND DIGITAL
SIGNAL PROCESSING METHOD**

(57) Abstract:

PROBLEM TO BE SOLVED: To execute digital filter operation processing at high speed with a compact and simple configuration.

SOLUTION: The data of respective groups divided for each input data group to be processed after the lapse of in a fixed cycle are respectively delayed just for

prescribed delay time, and after the data to multiply the same tap coefficient among the delayed data are respectively added, all the data to which the prescribed tap coefficient is multiplied are added and outputted. Thus, the scale of an operation processing part can be reduced by half, so that a finite length impulse response filter, digital signal processor and digital signal processing method capable of executing digital filter operation processing at high speed with compact and simple configuration can be obtained.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-116388

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 17/06	6 5 5	9274-5 J	H 0 3 H 17/06	6 5 5 D
	6 3 3	9274-5 J		6 3 3 Z
	6 6 1	9274-5 J		6 6 1 A
17/00	6 0 1	9274-5 J	17/00	6 0 1 E

審査請求 未請求 請求項の数7 F D (全 20 頁)

(21)出願番号 特願平7-293508

(22)出願日 平成7年(1995)10月16日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 高田 敏男

東京都品川区北品川6丁目7番35号ソニー株式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】 有限長インパルス応答フィルタ、デジタル信号処理装置及びデジタル信号処理方法

(57)【要約】

【課題】本発明は、小型でかつ簡易な構成でデジタルフィルタ演算処理を高速に実行するようにする。

【解決手段】本発明は、オーバーサンプリング方式によりサンプリングしたデータを演算処理する有限長インパルス応答フィルタにおいて、一定周期の時間遅れで処理される入力データ群ごとにグループ分けされた各グループのデータを所定の遅延時間ずつ遅延させ、遅延させたデータの内、同一のタップ係数を乗算すべきデータ同士をそれぞれ加算した後に、所定のタップ係数が乗算されてなるデータを全て加算して出力することにより、演算処理部の規模を半分にすることができ、かくしてデジタルフィルタ演算処理を高速に実行し得る小型でかつ簡易な構成の有限長インパルス応答フィルタ、デジタル信号処理装置及びデジタル信号処理方法を実現できる。

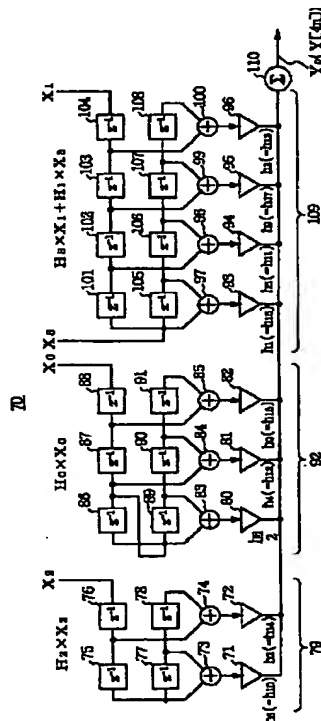


図5 4タップのFIR型デジタルフィルタ

【特許請求の範囲】

【請求項1】 オーバーサンプリング方式によりサンプリングしたデータを演算処理する有限長インパルス応答フィルタにおいて、一定周期の時間遅れで処理される入力データ群ごとにグループ分けされた各グループのデータを演算処理する複数の演算処理ブロックを具備、上記各演算処理ブロックは、所定の遅延時間ずつ遅延させる複数の遅延素子と、上記複数の遅延素子により遅延されたデータの内、同一のタップ係数 h_i を乗算するべきデータ同士を加算する複数の第1の加算器と、

$$h_i : i = \frac{Q-1}{2} \pm km$$

$$\left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right]$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \dots (1)$$

となり、自己対称形の係数配列の場合、次式

【数2】

$$h_i : i = \frac{Q-1}{2} \pm \left(\frac{m}{2} + km \right)$$

$$= \frac{Q-1}{2} \pm \frac{1}{2} (2k+1)m$$

$$\left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right]$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \dots (2)$$

となり、相互対称形の係数配列の場合、次式

【数3】

$$h_i : i = \frac{Q-1}{2} + b \pm km \quad (b \text{ は整数} \cdot 0 < b < \frac{m}{2})$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \dots (3)$$

【数4】

$$h_i : i = \frac{Q-1}{2} - b \pm km \quad (b \text{ は整数} \cdot 0 < b < \frac{m}{2})$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \dots (4)$$

となることを特徴とする請求項1に記載の有限長インパルス応答フィルタ。

【請求項3】 上記タップ係数の係数配列は、奇数分割時

$$h_i : i = \frac{Q-1}{2} \pm km$$

$$\left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right]$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \dots (5)$$

となり、相互対称形の係数配列の場合、次式

上記複数の第1の加算器により加算されたデータに、所定のタップ係数 h_i をそれぞれ乗算する複数の乗算器と、

上記複数の乗算器により所定のタップ係数 h_i がそれぞれ乗算されてなるデータを全て加算して出力する第2の加算器とを具備することを特徴とする有限長インパルス応答フィルタ。

【請求項2】 上記タップ係数 $h_i = \{h_0, h_1, h_2, \dots, h_{Q-1}\}$ から係数を m 分割した場合の配列は、偶数分割時において、

中央タップを含んだ自己対称形の係数配列の場合、次式

【数1】

において、

中央タップを含んだ自己対称形の係数配列の場合、次式

【数5】

【数6】

$$h_i : i = \frac{Q-1}{2} + b \pm km \quad (b \text{ は整数、} 0 < b < \frac{m}{2})$$

(Q=タップ数、m=分割数) (6)

【数7】

$$h_i : i = \frac{Q-1}{2} - b \pm km \quad (b \text{ は整数、} 0 < b < \frac{m}{2})$$

(Q=タップ数、m=分割数) (7)

となることを特徴とする請求項1に記載の有限長インパルス応答フィルタ。

【請求項4】オーバーサンプリング方式によりサンプリングしたデータを演算処理するデジタル信号処理装置において、

入力されるシリアルデータを一定周期の時間遅れで処理されるデータ群に対応するビットに振り分けてパラレルデータに変換するシリアル/パラレル変換部と、

上記各パラレルデータを演算処理する複数の演算処理ブロックとを具備、

上記各演算処理ブロックは、所定の遅延時間ずつ遅延させる複数の遅延素子と、

上記複数の遅延素子により遅延されたデータの内、同一

$$h_i : i = \frac{Q-1}{2} \pm km$$

$$\left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right]$$

(Q=タップ数、m=分割数) (8)

となり、自己対称形の係数配列の場合、次式

【数9】

$$h_i : i = \frac{Q-1}{2} \pm \left(\frac{m}{2} + km \right)$$

$$= \frac{Q-1}{2} \pm \frac{1}{2} (2k+1)m$$

$$\left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right]$$

(Q=タップ数、m=分割数) (9)

となり、相互対称形の係数配列の場合、次式

【数10】

$$h_i : i = \frac{Q-1}{2} + b \pm km \quad (b \text{ は整数、} 0 < b < \frac{m}{2})$$

(Q=タップ数、m=分割数) (10)

【数11】

$$h_i : i = \frac{Q-1}{2} - b \pm km \quad (b \text{ は整数、} 0 < b < \frac{m}{2})$$

(Q=タップ数、m=分割数) (11)

となることを特徴とする請求項4に記載のデジタル信

のタップ係数を乗算するべきデータ同士を加算する複数の第1の加算器と、

上記複数の第1の加算器により加算されたデータに、所定のタップ係数をそれぞれ乗算する複数の乗算器と、

上記複数の乗算器により所定のタップ係数がそれぞれ乗算されてなるデータを全て加算して出力する第2の加算器とを具備することを特徴とするデジタル信号処理装置。

【請求項5】上記タップ係数の係数配列は、偶数分割時において、

中央タップを含んだ自己対称形の係数配列の場合、次式

【数8】

号処理装置。

【請求項6】上記タップ係数の係数配列は、奇数分割時において、

$$h_i : i = \frac{Q-1}{2} \pm km$$

$$\left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right]$$

(Q=タップ数、m=分割数) (12)

となり、相互対称形の係数配列の場合、次式

$$h_i : i = \frac{Q-1}{2} + b \pm km \quad (b \text{ は整数、} 0 < b < \frac{m}{2})$$

(Q=タップ数、m=分割数) (13)

【数14】

$$h_i : i = \frac{Q-1}{2} - b \pm km \quad (b \text{ は整数、} 0 < b < \frac{m}{2})$$

(Q=タップ数、m=分割数) (14)

となることを特徴とする請求項4に記載のデジタル信号処理装置。

【請求項7】オーバーサンプリング方式によりサンプリングしたデータを演算処理する有限長インパルス応答フィルタにおいて、

一定周期の時間遅れで処理される入力データ群ごとにグループ分けされた各グループのデータを複数の遅延素子により所定の遅延時間づつ遅延させ、

上記複数の遅延素子により遅延されたデータの内、同一のタップ係数を乗算するべきデータ同士を加算し、

上記同一のタップ係数を乗算するべきデータ同士が加算されてなるデータに、所定のタップ係数をそれぞれ乗算し、

上記所定のタップ係数がそれぞれ乗算されてなるデータを全て加算して出力することを特徴とする有限長インパルス応答フィルタによるデジタル信号処理方法。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

発明の属する技術分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

発明の実施の形態

(1) FIR型デジタルフィルタの並列処理の原理 (図1)

(2) 演算処理部の構成 (図2及び図3)

(3) タップ係数の係数配列

(3-1) 4分割 (偶数分割) 時の係数配列 (図4及び図5)

(3-2) 6分割 (偶数分割) 時の係数配列 (図6及び図7)

中央タップを含んだ自己対称形の係数配列の場合、次式
【数12】

【数13】

(3-3) 5分割 (奇数分割) 時の係数配列 (図8及び図9)

(4) 実施例の構成 (図10～図15)

(5) 実施例の動作

(6) 実施例の効果

(7) 他の実施例 (図16)

発明の効果

【0002】

【発明の属する技術分野】本発明は有限長インパルス応答フィルタ、デジタル信号処理装置及びデジタル信号処理方法に関し、特に半導体集積回路化されたものに適用して好適なものである。

【0003】

【従来の技術】従来、例えばデジタル画像信号やデジタル音声信号等についてのデジタル信号処理回路 (Digital Signal Processor 以下、これをDSPとする) において、有限長インパルス応答 (finite impulse response (FIR)) フィルタが用いられている。

【0004】このデジタルフィルタの応用分野の一つである計測 (Instrumentation) 分野において、デジタルフィルタ演算処理を実行する代表的なものとしては、汎用CPU (Central Processing Unit) とソフトウェアによる組合せ、トランジスタ論理回路等のディスクリート部品によるハードウェア構成、汎用デジタル信号処理回路とソフトウェアによる組合せ、専用のデジタル信号処理回路等がある。

【0005】

【発明が解決しようとする課題】ところでかかる構成のデジタルフィルタにおいて、汎用CPUとソフトウェアによる組合せからなるデジタルフィルタは、構成は簡単であるが演算処理の処理速度が遅いという問題があった。

【0006】またトランジスタトランジスタ論理回路等のディスクリート部品によるハードウェア構成からなるデジタルフィルタは、データを高速で演算処理できるがデジタルフィルタ自体の規模が大きくなるという問題があつた。

【0007】また汎用デジタル信号処理回路とソフトウェアによる組合せからなるデジタルフィルタは、デジタルフィルタ自体の規模は小さく、幅広く使用できると共にデータを高速で演算処理できる。ところがこの種のデジタルフィルタは、マイクロコードのプログラミングが複雑になるという問題があつた。

【0008】さらに専用のデジタル信号処理回路からなるデジタルフィルタは、汎用性はないがデータを高速で演算処理でき、ユーザにとって扱い易いという利点をもっている。従つて、デジタルフィルタ演算処理だけを実行する場合には、専用のデジタル信号処理回路で実行することが最適である。ところが、この専用のデジタル信号処理回路ではIC単体の処理速度以上の速度で演算処理することは難しいという問題があつた。

【0009】本発明は以上の点を考慮してなされたもので、デジタルフィルタ演算処理を高速で実行し得る小型でかつ簡易な構成の有限長インパルス応答フィルタ、デジタル信号処理装置及びデジタル信号処理方法を提案しようとするものである。

【0010】

【課題を解決するための手段】かかる課題を解決するため本発明においては、オーバーサンプリング方式によりサンプリングしたデータを演算処理する有限長インパルス応答フィルタにおいて、一定周期の時間遅れで処理さ

$$Y(z) = H(z) \cdot X(z)$$

で表すことができる。以下、(15)式を基本システムと呼ぶ。

$$X(z) = \sum_{n=0}^{\infty} X(n) \cdot z^{-n}$$

で定義される。また、ここで z^{-1} は時間軸における1単位の遅れを表すので、 $X(z)$ を m 分割して時間的なグループごとにグループ分けすることにより、時分割並列処理させ得るようになされている。ここでは、 $X(z)$ を4

$$\begin{aligned} X(z) = & \sum_{n=0}^{\infty} X(4n) \cdot z^{-4n} + \sum_{n=0}^{\infty} X(4n+1) \cdot z^{-(4n+1)} \\ & + \sum_{n=0}^{\infty} X(4n+2) \cdot z^{-(4n+2)} + \sum_{n=0}^{\infty} X(4n+3) \cdot z^{-(4n+3)} \end{aligned}$$

..... (17)

に変形することができる。

【0015】今、各グループごとに処理される入力データの時間系列のZ変換 $X(4n)$ 、 $X(4n+1)$ 、 $X(4n+2)$ 、 X

れる入力データ群ごとにグループ分けされた各グループのデータを演算処理する複数の演算処理ブロックを具え、各演算処理ブロックは、所定の遅延時間づつ遅延させる複数の遅延素子と、複数の遅延素子により遅延されたデータの内、同一のタップ係数を乗算するべきデータ同士を加算する複数の第1の加算器と、複数の第1の加算器により加算されたデータに所定のタップ係数をそれぞれ乗算する複数の乗算器と、複数の乗算器により所定のタップ係数がそれぞれ乗算されてなるデータを全て加算して出力する第2の加算器とを設ける。

【0011】オーバーサンプリング方式によりサンプリングしたデータを演算処理する有限長インパルス応答フィルタにおいて、一定周期の時間遅れで処理される入力データ群ごとにグループ分けされた各グループのデータを所定の遅延時間づつ遅延させ、遅延させたデータの内、同一のタップ係数を乗算するべきデータ同士を加算した後に、所定のタップ係数がそれぞれ乗算されてなるデータを全て加算して出力することにより、演算処理部の規模を半分にすることができる。

【0012】

【発明の実施の形態】以下図面について、本発明の一実施例を詳述する。

【0013】(1) FIR型デジタルフィルタの並列処理の原理

図1に示すように、FIR型デジタルフィルタ1は、入力データの時間系列 $X(t)$ のZ変換を $X(z)$ 、伝達関数を $H(z)$ で表し、出力データの時間系列 $Y(t)$ のZ変換を $Y(z)$ で表すと $Y(z)$ は、次式

$$\text{【数15】} \quad \dots\dots (15)$$

【0014】ここで、 $X(t)$ のZ変換 $X(z)$ は、次式

$$\text{【数16】} \quad \dots\dots (16)$$

分割($m=4$)して個々の時間的なグループを $4n$ 、 $4n+1$ 、 $4n+2$ 、 $4n+3$ として考えると、(16)式は次式

【数17】

($4n+3$)を X_0 、 X_1 、 X_2 、 X_3 として表すと、(17)式は次式

【数18】

$$X(z) = X_0 + X_1 + X_2 + X_3$$

として表すことができる。これにより (15) 式は、次式

$$Y(z) = H(z) \cdot (X_0 + X_1 + X_2 + X_3)$$

として変形することができ、この (19) 式を並列的に演算処理することによつて全体として基本システムの4倍の速度で演算処理することができる。

【0016】ところで、オーバーサンプリングされたデータを半分のデータレートにする場合、(19) 式を全て演算してからデータを半分に間引く方法が考えられる。ところがこの場合、(19) 式を全て演算するために回路構成が大きくなるうえ、間引処理を施さなければならない。そこで、DSP用IC内部の回路構成とタップ係数の対称性を考慮して、間引処理を施すことなく従来に比べて約半分の規模の回路構成で高速に演算処理を実行し得るFIR型デジタルフィルタを考える。

【0017】(2) 演算処理部の構成

図2には、(15) 式による演算処理を実行するためのFIR型デジタルフィルタ2の基本構成を示す。このFIR型デジタルフィルタ2は、トランスバーサルフィルタ構造をなしており、それぞれ所定の遅延時間 z^{-1} を有する21個の遅延素子3~23、所定のタップ係数($h_0 \sim h_{20}$)を有した21個の乗算器24~44、1個の総加算器45から構成されている。

【0018】このFIR型デジタルフィルタ2では、サンプリングされた入力データを各遅延素子3~23により所定の遅延時間づつ遅延させた後、乗算器24~44によつて係数 $h_0 \sim h_{20}$ をそれぞれ乗算し、乗算されたそれぞれのデータを最後に総加算器45で加算して出力するようになされている。

【0019】続いて図3には、FIR型デジタルフィルタの特徴である直線位相特性(タップ係数の対称性)を有した構成のFIR型デジタルフィルタ50を示す。このFIR型デジタルフィルタ50は、タップ係数が中央タップを中心として左右対称になつていて、タップ係数 h_{10} を中央タップとして相互に等しいタップ係数($h_0=h_{20}$ 、 $h_1=h_{19}$ 、……、 $h_9=h_{11}$)を有した11個の乗算器46~56で構成されている。

$$H(z) = H_0 + H_1 + H_2 + H_3$$

で表すことができる。従つて (19) 式は次式

$$Y(z) = (H_0 + H_1 + H_2 + H_3) \cdot (X_0 + X_1 + X_2 + X_3)$$

…… (18)

【数19】

…… (19)

【0020】このFIR型デジタルフィルタ50では、21個の遅延素子3~23が中央の遅延素子13で前部と後部に分けられ、前部には11個の遅延素子3~13、後部には10個の遅延素子14~23がそれぞれ設けられている。この前部と後部に対向して設けられた遅延素子3と遅延素子23、遅延素子4と遅延素子22、……、遅延素子12と遅延素子14は、入力データを遅延させて加算器57~66にそれぞれ送出する。加算器57~66は、各遅延素子によつて遅延された2つのデータを加算して乗算器46~56にそれぞれ送出する。乗算器46~56は、係数値が互いに等しいタップ係数($h_0=h_{20}$ 、 $h_1=h_{19}$ 、……、 $h_9=h_{11}$)を有しており、加算されたデータに所定のタップ係数を乗算した後、乗算した全てのデータを総加算器67に送出して、総加算器67で最後に加算して出力するようになされている。ここで乗算器56は、遅延されたデータが1つなのでタップ係数 h_{10} の半分の係数値を乗算するようになされている。

【0021】このようにFIR型デジタルフィルタ50では、直線位相特性を持つ互いに等しいタップ係数($h_0=h_{20}$ 、 $h_1=h_{19}$ 、……、 $h_9=h_{11}$ 、 h_{10})からなる11個の乗算器46~56を用いて構成することにより、FIR型デジタルフィルタ2に比べて乗算器の個数を21個から11個に減少させることができる。この結果、FIR型デジタルフィルタ50では、演算処理部全体の規模を小さくすることができる。

【0022】ところでFIR型デジタルフィルタ50では、オーバーサンプリングされたデータをデジタルフィルタ演算処理して半分のデータレートにする場合、伝達係数 $H(z)$ を $X(z)$ のように4分割して時間的なグループごとにグループ分けすると、伝達係数 $H(z)$ は次式

【数20】

…… (20)

【数21】

…… (21)

で表され、さらに (21) 式を展開すると次式

【数22】

$$\begin{aligned}
Y(z) = & (H_0 \cdot X_0 + H_3 \cdot X_1 + H_2 \cdot X_2 + H_1 \cdot X_3) \\
& + (H_1 \cdot X_0 + H_0 \cdot X_1 + H_3 \cdot X_2 + H_2 \cdot X_3) \\
& + (H_2 \cdot X_0 + H_1 \cdot X_1 + H_0 \cdot X_2 + H_3 \cdot X_3) \\
& + (H_3 \cdot X_0 + H_2 \cdot X_1 + H_1 \cdot X_2 + H_0 \cdot X_3) \\
& \dots\dots (22)
\end{aligned}$$

で表すことができる。(22)式に示すように $Y(z)$ は、時間的なグループごとに4つのカッコでくくり、その各グループを順に最初から Y_0 、 Y_1 、 Y_2 、 Y_3 とする

$$Y(z) = Y_0 + Y_1 + Y_2 + Y_3$$

となる。

【0023】従つてFIR型デジタルフィルタ50では、オーバーサンプリングされたデータを半分のデータレートにする場合、 $Y(z)$ は(23)式の $Y_0 + Y_2$ 、あるいは $Y_1 + Y_3$ のみ演算すれば、(19)式を全て演算させてから半分に間引くのと同じ結果になる。これにより、FIR型デジタルフィルタ50は、(19)式を全て演算する必要はなくなる。この結果、FIR型デジタルフィルタ50では演算処理部の演算処理時間を半分に短縮することができる。

【0024】(3) タップ係数の係数配列

(3-1) 4分割(偶数分割)時の係数配列

続いて、タップ係数の係数配列について説明する。図4に示すように、例えば17タップでなるFIR型デジタルフィルタのタップ係数を4分割する場合を考える。この場合、タップ係数は中央タップ h_8 で左右対称になっている。

【0025】ここでグループAのタップ係数は、 h_0 、 h_4 、 h_8 、 h_{12} 、 h_{16} となつており、 h_8 を中心にして中央

$$Y_0 = H_0 \cdot X_0 + H_3 \cdot X_1 + H_2 \cdot X_2 + H_1 \cdot X_3 \dots\dots (24)$$

に基づいて演算処理し得るように構成されている。

【0027】すなわちFIR型デジタルフィルタ70では、グループC(H_2)のタップ係数を持つ2個の乗算器71、72、2個の加算器73、74、4個の遅延素子75～78でなる演算処理ブロック79で入力データ X_2 を演算処理し、またグループA(H_0)のタップ係数を持つ3個の乗算器80～82、3個の加算器83～85、6個の遅延素子86～91でなる演算処理ブロック92で入力データ X_0 を演算処理し、さらにグループB(H_1)及びグループD(H_3)のタップ係数を持つ4個の乗算器93～96、4個の加算器97～100、8個の遅延素子101～108でなる演算処理ブロック109で入力データ X_3 及び X_1 を演算処理する。そしてFIR型デジタルフィルタ70は、各演算処理ブロック79、92、109で演算処理したデータを総

と、次式

【数23】

$$\dots\dots (23)$$

タップを含んだ自己対称形の係数配列となる。またグループCのタップ係数は、 h_2 、 h_6 、 h_{10} 、 h_{14} となつており、 h_8 の中央タップを中心にした自己対称形の係数配列となる。さらにグループBのタップ係数は、 h_1 、 h_5 、 h_9 、 h_{13} となつており、またグループDのタップ係数は h_3 、 h_7 、 h_{11} 、 h_{15} となつており、このグループBとグループDとは互いに順序が逆でタップ係数の値が等しい相互対称形の係数配列となる。すなわち h_1 と h_{15} 、 h_5 と h_{11} 、 h_9 と h_7 、 h_{13} と h_3 のタップ係数は互いに等しくなる。

【0026】ここで、グループA～Dは4分割した伝達係数 $H_0 \sim H_3$ にそれぞれ相当している。従つて、上述の直線位相特性を考慮した構成と、(22)式に対応した時分割並列処理し得る構成とを組み合わせたFIR型デジタルフィルタを図5に示す。図5に示すようにFIR型デジタルフィルタ70では、(23)式の Y_0 に相当する部分である次式

【数24】

加算器110で最後に加算することにより、 Y_0 ($Y[4n]$)を出力するようになされている。

【0028】(3-2) 6分割(偶数分割)時の係数配列

続いて図6に示すように、例えば25タップでなるFIR型デジタルフィルタのタップ係数を6分割する場合を考える。この場合、タップ係数は中央タップ h_{12} で左右対称になっている。

【0029】ここでグループAのタップ係数は、 h_0 、 h_6 、 h_{12} 、 h_{18} 、 h_{24} となつており、 h_{12} を中心にして中央タップを含んだ自己対称形の係数配列となる。またグループDのタップ係数は、 h_3 、 h_9 、 h_{15} 、 h_{21} となつており、 h_8 の中央タップを中心にした自己対称形の係数配列となる。

【0030】さらにグループBのタップ係数は、 h_1 、 h

7、h13、h19 となっており、またグループFのタップ係数はh5、h11、h17、h23 となっており、このグループBとグループFとは互いに順序が逆で係数値が等しい相互対称形の係数配列となる。すなわち、h1とh23、h7とh17、h13とh11、h19とh5のタップ係数は互いに等しくなる。続いて、グループCのタップ係数は、h2、h8、h14、h20 となっており、またグループEのタップ係数はh4、h10、h16、h22 となっており、この場合も

$$H(z) = H_0 + H_1 + H_2 + H_3 + H_4 + H_5 \quad \text{..... (25)}$$

で表すことができる。従つて基本システムは、次式

$$Y(z) = (H_0 + H_1 + H_2 + H_3 + H_4 + H_5)$$

$$\cdot (X_0 + X_1 + X_2 + X_3 + X_4 + X_5) \quad \text{..... (26)}$$

で表され、この(26)式を展開し、時間的なグループごとに6つのカッコでくくり、その各グループを順に最初からY₀、Y₁、Y₂、Y₃、Y₄、Y₅ とすると、次

$$Y(z) = Y_0 + Y_1 + Y_2 + Y_3 + Y_4 + Y_5 \quad \text{..... (27)}$$

となる。

【0032】ここで、グループA～Fは6分割した伝達係数H₀～H₅ にそれぞれ相当している。従つて、直線位相特性を考慮した構成と、時分割並列処理し得る構成

$$Y_0 = H_0 \cdot X_0 + H_1 \cdot X_5 + H_2 \cdot X_4$$

$$+ H_3 \cdot X_3 + H_4 \cdot X_2 + H_5 \cdot X_1 \quad \text{..... (28)}$$

に基づいて演算処理し得るようになされている。

【0033】すなわちFIR型デジタルフィルタ120では、グループD(H₃)のタップ係数を持つ2個の乗算器121、122、2個の加算器123、124、4個の遅延素子125～128でなる演算処理ブロック129が入力データX₃を演算処理する。またグループA(H₀)のタップ係数を持つ3個の乗算器130～132、3個の加算器133～135、6個の遅延素子136～141でなる演算処理ブロック142が入力データX₀を演算処理し、さらにグループB(H₁)及びグループF(H₅)のタップ係数を持つ4個の乗算器143～146、4個の加算器147～150、8個の遅延素子151～158でなる演算処理ブロック159が入力データX₅及びX₁を演算処理する。同様にグループC(H₂)及びグループE(H₄)のタップ係数を持つ

$$h_i : i = \frac{Q-1}{2} \pm km$$

$$\left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right]$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \text{..... (29)}$$

で表すことができる。また自己対称形の係数配列でなる

グループCとグループEとは互いに順序が逆で係数値が等しい相互対称形の係数配列となる。すなわち、h2とh22、h8とh16、h14とh10、h20とh4のタップ係数は互いに等しくなる。

【0031】このようにタップ係数を6分割する場合、H(z)及びX(z)を6分割して時間的なグループごとにグループ分けすると、伝達係数H(z)は次式

【数25】

【数26】

式

【数27】

とを組み合わせたFIR型デジタルフィルタを図7に示す。図7に示すようにFIR型デジタルフィルタ120では、(27)式のY₀に相当する部分である次式

【数28】

4個の乗算器160～163、4個の加算器164～167、8個の遅延素子168～175でなる演算処理ブロック176が入力データX₂及びX₄を演算処理する。そしてFIR型デジタルフィルタ120は、各演算処理ブロック129、142、159、176で演算処理したデータを総加算器177で最後に加算することにより、Y₀(Y[6n])を出力するようになされている。

【0034】このようにFIR型デジタルフィルタ70及び120においては、Q個のタップ係数(係数値h_i(i=0,1,...,Q))を偶数(m)分割して並列的に演算処理する場合、中央タップを含んだ自己対称形の係数配列でなる自己対称形グループのタップ係数は次式

【数29】

自己対称形グループのタップ係数は次式

【数30】

$$\begin{aligned}
 h_i : i &= \frac{Q-1}{2} \pm \left(\frac{m}{2} + km \right) \\
 &= \frac{Q-1}{2} \pm \frac{1}{2} (2k+1)m \\
 \left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right] \\
 (Q &= \text{タップ数}, m = \text{分割数}) \quad \dots\dots (30)
 \end{aligned}$$

で表すことができる。さらに相互対称形の係数配列でなる相互対称形グループのタップ係数は次式

【数31】

$$\begin{aligned}
 h_i : i &= \frac{Q-1}{2} + b \pm km \quad (b \text{ は整数}, 0 < b < \frac{m}{2}) \\
 (Q &= \text{タップ数}, m = \text{分割数}) \quad \dots\dots (31)
 \end{aligned}$$

と、次式

【数32】

$$\begin{aligned}
 h_i : i &= \frac{Q-1}{2} - b \pm km \quad (b \text{ は整数}, 0 < b < \frac{m}{2}) \\
 (Q &= \text{タップ数}, m = \text{分割数}) \quad \dots\dots (32)
 \end{aligned}$$

で表すことができ、この(31)式と(32)式の2式で一組の相互対称形グループのタップ係数となる。

【0035】上述のようにFIR型デジタルフィルタ70、120では、偶数(m)分割の場合、中央タップを含んだ自己対称形グループのタップ係数が1個、自己対称形グループのタップ係数が1個、さらに相互対称形グループのタップ係数が(m-2)個で構成される。實際上、FIR型デジタルフィルタ70では、中央タップを含んだ自己対称形グループが1個、自己対称形グループが1個、さらに相互対称形グループが2個(1組)のタップ係数で構成される。またFIR型デジタルフィルタ120では、中央タップを含んだ自己対称形グループが1個、自己対称形グループが1個、さらに相互対称形グループが4個(2組)のタップ係数で構成される。

【0036】(3-3)5分割(奇数分割)時の係数配列

ところで図8に示すように、例えば25タップでなるFIRデジタルフィルタのタップ係数を5分割する場合を考える。この場合、タップ係数は中央タップh12で対称になっている。

$$H(z) = H_0 + H_1 + H_2 + H_3 + H_4$$

で表すことができる。従って基本システムは、次式

【数34】

$$Y(z) = (H_0 + H_1 + H_2 + H_3 + H_4)$$

$$\cdot (X_0 + X_1 + X_2 + X_3 + X_4)$$

…… (33)

…… (34)

で表され、この(34)式を展開し、時間的なグループごとに5つのカッコでくくり、その各グループを順に最初

【0037】ここでグループAのタップ係数は、h2、h7、h12、h17、h22となっており、h12を中心にして中央タップを含んだ自己対称形の係数配列となる。またグループBのタップ係数は、h1、h6、h11、h16、h21となっており、またグループDのタップ係数はh3、h8、h13、h18、h23となっており、このグループBとグループDとは互いに順序が逆で係数値が等しい相互対称形の係数配列となる。すなわち、h1とh23、h6とh18、h11とh13、h16とh8、h21とh3のタップ係数は互いに等しくなる。

【0038】さらにグループCのタップ係数は、h0、h5、h10、h15、h20となっており、またグループEのタップ係数はh4、h9、h14、h19、h24となっており、このグループCとグループEとは互いに順序が逆で係数値が等しい相互対称形の係数配列となる。すなわち、h0とh24、h5とh19、h10とh14、h15とh9、h20とh4のタップ係数は互いに等しくなる。

【0039】このようにタップ係数を5分割する場合、H(z)及びX(z)を5分割して時間的なグループごとにグループ分けすると、伝達係数H(z)は次式

【数33】

からY0、Y1、Y2、Y3、Y4とすると、次式

【数35】

$$Y(z) = Y_0 + Y_1 + Y_2 + Y_3 + Y_4 \quad \dots\dots (35)$$

となる。

【0040】ここで、グループAは伝達係数 H_0 に相当し、グループBは伝達係数 H_4 に相当し、グループCは伝達係数 H_3 に相当し、グループDは伝達係数 H_1 に相当し、グループEは伝達係数 H_2 に相当している。これにより、直線位相特性を考慮した構成と、時分割並列処

$$Y_0 = H_0 \cdot X_0 + H_2 \cdot X_2 + H_3 \cdot X_3$$

$$+ H_4 \cdot X_1 + H_1 \cdot X_4 \quad \dots\dots (36)$$

に基づいて演算処理し得るようになされている。

【0041】すなわちFIR型デジタルフィルタ200では、グループA(H_0)のタップ係数を持つ3個の乗算器201~203、3個の加算器204~206、6個の遅延素子207~212でなる演算処理ブロック213で入力データ X_0 を演算処理し、またグループB(H_4)及びグループD(H_1)のタップ係数を持つ5個の乗算器214~218、5個の加算器219~223、10個の遅延素子224~233でなる演算処理ブロック234で入力データ X_1 、 X_4 を演算処理し、さらにグループC(H_3)及びグループE(H_2)のタップ係数を持つ5個の乗算器235~239、5個の加算

$$h_i : i = \frac{Q-1}{2} \pm km$$

$$\left[(k=0, 1, \dots) \quad k \leq \frac{Q-1}{2m} \quad \because 0 \leq i \leq Q-1 \right]$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \dots\dots (37)$$

で表すことができる。また相互対称形の係数配列でなる相互対称形グループのタップ係数は次式

$$h_i : i = \frac{Q-1}{2} + b \pm km \quad (b \text{ は整数}, 0 < b < \frac{m}{2})$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \dots\dots (38)$$

と、次式

$$h_i : i = \frac{Q-1}{2} - b \pm km \quad (b \text{ は整数}, 0 < b < \frac{m}{2})$$

$$(Q=\text{タップ数}, m=\text{分割数}) \quad \dots\dots (39)$$

で表すことができ、(38)式と(39)式の2式で一組の相互対称形グループのタップ係数となる。

【0043】上述のように、FIR型デジタルフィルタ200は、奇数(m)分割の場合、中央タップを含んだ自己対称形グループのタップ係数が1個、相互対称形グループのタップ係数が($m-1$)個で構成されている。ここでFIR型デジタルフィルタ200では、奇数(m)分割の場合、自己対称形グループが存在することはない。實際上、FIR型デジタルフィルタ200は、中央タップを含んだ自己対称形グループが1個、相

理し得る構成とを組み合わせたFIR型デジタルフィルタを図9に示す。図9に示すようにFIR型デジタルフィルタ200では、(35)式の Y_0 に相当する部分である次式

【数36】

器240~244、10個の遅延素子245~254でなる演算処理ブロック255で入力データ X_2 、 X_3 を演算処理する。そしてFIR型デジタルフィルタ200は、各演算処理ブロック213、234、255で演算処理したデータを総加算器256で加算することにより、 Y_0 ($Y[5n]$)を出力するようになされている。

【0042】このようにFIR型デジタルフィルタ200においては、 Q 個のタップ係数を奇数(m)分割して並列的に演算処理する場合、中央タップを含んだ自己対称形の係数配列でなる自己対称形グループのタップ係数は次式

【数37】

【数38】

【数39】

互対称形グループが4個(2組)のタップ係数で構成される。

【0044】上述のように、FIR型デジタルフィルタ70、120においては、偶数分割時におけるタップ係数の係数配列が、(29)~(32)式により求められて構成される。またFIR型デジタルフィルタ200では、奇数分割時における各グループのタップ係数の係数配列が、(37)~(39)式により求められて構成される。

【0045】かくしてFIR型デジタルフィルタ7

0、120及び200においては、オーバーサンプリングされたデータを半分のデータレートにする場合、(23) 式の $Y_0 + Y_2$ 、あるいは $Y_1 + Y_3$ のみ演算すれば良いことにより、演算処理した後の間引き処理が不要になると共に、演算処理部の規模を半分にすることができ、かくして2倍の速度で演算処理することができる。

【0046】(4) 実施例の構成

図10に示すように、本発明の一実施例によるインターフェース装置300は、VLBI(超長基線電波干渉計法)観測による信号(64MHzでサンプリング)をデジタルデータに変換し、デジタルフィルタ(63TAP(分解能1MHz))により帯域制限した後にデジタルデータレコーダに記録するようになされている。このインターフェース装置300は、64[MHz]のサンプリングレートで取り込んだ8[bit]のシリアルデータを64[MHz]のクロック信号CLK1及び16[MHz]のクロック信号CLK2に基づいて16[MHz]のデータレートの8[bit]でなるパラレルデータ $X_0 \sim X_3$ に変換するシリアル/パラレル変換部301、入力するパラレルデータ $X_0 \sim X_3$ を演算処理するデジタルフィルタ部から構成されている。

【0047】このデジタルフィルタ部には、専用のDSP(Max Clock 18[MHz]、対称タップ係数32TAP)302~305が4個設けられている。このDSP302には、パラレルデータ X_2 及び X_0 がレジスタ306及び307を介して入力するようになされていると共に、DSP303には、パラレルデータ X_3 が9個のレジスタ308~316を介して入力し、パラレルデータ X_1 が11個のレジスタ317~327を介して入力するようになされている。これにより、DSP302及び303では、各レジスタでそれぞれ遅延されて入力されたパラレルデータ $X_0 \sim X_3$ を演算処理し、 Y_0 ($Y[4n]$)を出力するようになされている。

【0048】また同様にDSP304には、パラレルデータ X_2 がレジスタ306を介して入力すると共に、パラレルデータ X_0 がレジスタを介することなく入力するようになされている。さらにDSP305には、パラレルデータ X_3 が9個のレジスタ308~316及び2個のレジスタ328、329を介して入力するようになされ、パラレルデータ X_1 が8個のレジスタ317~324を介して入力するようになされている。これにより、このDSP304及び305では、各レジスタによりそれぞれ遅延されて入力されたパラレルデータ $X_0 \sim X_3$ を演算処理し、 Y_2 ($Y[4n+2]$)を出力するようになされている。

【0049】従つて、インターフェース装置300では、オーバーサンプリングされたデータを半分のデータレートにする場合、入力されたパラレルデータ $X_0 \sim X_3$ をDSP302、303及び304、305で演算処理することにより、 Y_0 及び Y_2 を求めることができ、かくして間引き処理を不要にして演算処理部の規模を半

分にし得るようになされている。

【0050】ここで図11(A)には、同一の内部構造でなる各DSP302~305の構成を示す。これらの各DSP302~305内では、入力されたパラレルデータ X_0 、 X_2 又は X_1 、 X_3 を複数のレジスタを介してそれぞれ遅延させ、4個の内積演算ブロック401~404で演算処理し、4個の出力ブロック405~408を介して出力し得るようになされている。ここで図11(B)に示すように、各出力ブロック405~408は、シフタ491、リミッタ492及びスイッチ493から構成され、出力するデータをシフトさせたりリミットさせるようになされている。

【0051】さらに図12(A)には、同一の内部構造でなる各内積演算ブロック401~404の構成を示す。これらの各内積演算ブロック401~404内では、遅延回路451と458、遅延回路452と457、遅延回路453と456、遅延回路454と455とが入力データをそれぞれ遅延させて加算器459~462にそれぞれ送出する。これらの加算器459~462では、遅延された入力データをそれぞれ加算し、レジスタ463~466をそれぞれ介して乗算器467~470に送出する。また乗算器467~470では、加算されたデータに所定のタップ係数を乗算した後、レジスタ471~474をそれぞれ介して加算器475~478に送出する。そして加算器475~478では、入力したデータが丸め回路479によりそれぞれ丸め演算された後に全てのデータを加算して出力するようになされている。

【0052】ここで図12(B)に示すように、各遅延回路451~454は2個のレジスタ481、482とスイッチ483から構成され、各遅延回路455~458は2個のレジスタ484、485とスイッチ486から構成されている。ここで遅延回路451~454と遅延回路455~458とは、データの送られる方向が互いに逆向きになるように構成されている。

【0053】さらに図13には、DSP302~305を作動させる場合の設定内容を示す。例えばこの場合、M13で0が設定されると加算器475~478に入力されたデータは丸め演算されない。またM13で1が設定されると加算器475~478に入力されたデータは切り捨てられずに四捨五入して丸め演算される。このようにDSP302~305では、M1~M27の設定条件によりデータの演算処理内容を所望の条件に設定し得るようになされている。

【0054】続いて図14、15には、パラレルデータ $X_0 \sim X_3$ を演算処理して Y_0 ($Y[4n]$)を出力するDSP302、303の演算処理部であるFIR型デジタルフィルタ500の回路構成(等価回路)を示す。ちなみにパラレルデータ $X_0 \sim X_3$ を演算処理して Y_2 ($Y[4n+2]$)を出力するDSP304、305の演算処理部で

あるFIR型デジタルフィルタ（図示せず）は、入力データが異なるだけでFIR型デジタルフィルタ500と同一の構成になる。

【0055】このFIR型デジタルフィルタ500は、パラレルデータ X_2 を演算処理する演算処理ブロック501及び502、パラレルデータ X_0 を演算処理する演算処理ブロック503及び504、パラレルデータ X_3 及び X_1 を演算処理する演算処理ブロック505、506及び演算処理ブロック507、508から構成されている。

【0056】ここで演算処理ブロック501及び502では、自己対称形グループのタップ係数でなる伝達係数 H_1 が用いられており、演算処理ブロック503及び504では、中央タップを含んだ自己対称形グループのタップ係数でなる伝達係数 H_3 が用いられている。また演算処理ブロック505、506及び演算処理ブロック507、508では、相互対称形グループのタップ係数でなる伝達係数 H_0 、 H_2 が用いられている。

【0057】この演算処理ブロック501及び502では、パラレルデータ X_2 をレジスタ503で3単位分遅延させ、レジスタ504～519により所定の遅延時間づつ遅延させるようになされている。上段と下段に分かれて構成されたレジスタ504と519、レジスタ505と518、……、レジスタ511と512は、遅延させたデータを加算器520～527にそれぞれ送出する。

【0058】これらの加算器520～527では、遅延されたデータをそれぞれ加算して乗算器528～535にそれぞれ送出する。乗算器528～531では、加算されたデータに所定のタップ係数をそれぞれ乗算して総加算器536に送出する。また乗算器532～535も同様に、加算されたデータに所定のタップ係数をそれぞれ乗算して総加算器537に送出する。この総加算器536は、所定のタップ係数が乗算されたデータを全て加算すると共に、総加算器537においても所定のタップ係数が乗算されたデータを全て加算するようになされている。

【0059】また同様に演算処理ブロック503及び504では、パラレルデータ X_0 をレジスタ538で7単位分遅延させ、レジスタ539～554により所定の遅延時間づつ遅延させるようになされている。上段と下段に分かれて構成されたレジスタ539と554、レジスタ540と553、……、レジスタ546と547は、遅延させたデータを加算器555～562にそれぞれ送出する。

【0060】これらの加算器555～562では、遅延されたデータをそれぞれ加算して乗算器563～570にそれぞれ送出する。乗算器563～566では、加算されたデータに所定のタップ係数をそれぞれ乗算して総加算器571に送出する。また乗算器567～570も

同様に、加算されたデータに所定のタップ係数をそれぞれ乗算して総加算器572に送出する。総加算器571は、所定のタップ係数が乗算されたデータを全て加算すると共に、総加算器572においても乗算器567～570で所定のタップ係数が乗算されたデータを全て加算するようになされている。

【0061】さらに演算処理ブロック505、506及び演算処理ブロック507、508では、パラレルデータ X_1 をレジスタ580で7単位分遅延させ、レジスタ581～596により所定の遅延時間づつ遅延させると共に、パラレルデータ X_3 をレジスタ597で2単位分、レジスタ598で7単位分遅延させ、レジスタ599～614により所定の遅延時間づつ遅延させるようになされている。上段と下段に分かれて構成されたレジスタ581と614、レジスタ582と613、……、レジスタ596と599は、遅延させたデータを加算器615～630にそれぞれ送出する。

【0062】この加算器615～630では、遅延したデータをそれぞれ加算して乗算器631～646にそれぞれ送出する。乗算器631～634では、加算されたデータに所定のタップ係数をそれぞれ乗算して総加算器647に送出する。また乗算器635～638も同様に、加算されたデータに所定のタップ係数をそれぞれ乗算して総加算器648に送出する。さらに乗算器639～642も同様に、加算されたデータに所定のタップ係数をそれぞれ乗算して総加算器649に送出する。続いて乗算器643～646も同様に、加算されたデータに所定のタップ係数をそれぞれ乗算して総加算器650に送出する。これらの総加算器647～650は、所定のタップ係数が乗算されたデータを全て加算するようになされている。

【0063】最後にFIR型デジタルフィルタ500では、総加算器536と572との間に設けられたレジスタ651、総加算器571と650の間に設けられたレジスタ652～655、総加算器647の後に設けられたレジスタ656、657を介して、総加算器536、537、571、572、647～650で加算された全てのデータを最後に加算して $Y_0(Y[4n])$ を出力するようになされている。

【0064】（5）実施例の動作

以上の構成において、インターフェース装置300では、64[MHz]のサンプリングレートで取り込んだ8[bit]のシリアルデータがシリアル/パラレル変換部301により16[MHz]のデータレートの8[bit]でなるパラレルデータ $X_0 \sim X_3$ に変換されてDSP302、303及び304、305に送出される。DSP302、303に入力されたパラレルデータ $X_0 \sim X_3$ は、内部に設けられた直線位相特性を有したFIR型デジタルフィルタ500により演算処理されて Y_0 として出力される。またDSP304、305に入力されたパラレルデ

ータ $X_0 \sim X_3$ も同様に、内部に設けられた直線位相特性を有したFIR型デジタルフィルタ（図示せず）により演算処理されて Y_2 として出力される。

【0065】このインターフェース装置300は、オーバーサンプリングされたシリアルデータを半分のデータレートにして出力する場合、 $Y_0 + Y_2$ （又は $Y_1 + Y_3$ ）のみを演算すれば良いので $Y_1 + Y_3$ （又は $Y_0 + Y_2$ ）を演算する必要はない。従つてインターフェース装置300では、 $Y_0 \sim Y_3$ を全て演算した後に間引き処理を行う場合と比べて回路構成を半分にできる。かくして、インターフェース装置300は、間引き処理をしない分、演算処理を半分にでき、かくして2倍の速度で演算処理を実行できる。

【0066】（6）実施例の効果

以上の構成によれば、インターフェース装置300では、入力したシリアルデータをシリアル/パラレル変換部301でパラレルデータ $X_0 \sim X_3$ に変換し、DSP302～305の内部に設けた直線位相特性を有したFIR型デジタルフィルタを介して並列的に演算処理することにより、オーバーサンプリングされたシリアルデータを半分のデータレートにして出力する場合、半分の演算処理で出力することができる。この結果、インターフェース装置300は、従来と比べて回路規模を半分にできると共に、デジタルフィルタ演算処理を2倍の速度で実行することができる。

【0067】（7）他の実施例

なお上述の実施例においては、FIR型デジタルフィルタ70の演算処理ブロック109（図5）のように左右別方向からそれぞれデータを供給して加算器で加算するようにした場合について述べたが、本発明はこれに限らず、図16に示すように、最初に2つの入力データ X_3 及び X_1 の並びを考慮した上で予め加算したデータ（ $X_3 + X_1$ ）を入力するようにしても良い。この場合にも上述の実施例と同様の効果を得ることができる。

【0068】また上述の実施例においては、オーバーサンプリングされたシリアルデータを半分のデータレートにするようにした場合について述べたが、本発明はこれに限らず、(23)式の Y_0 （又は Y_1 、 Y_2 、 Y_3 ）のみを演算することにより1/4に帯域圧縮するようにしても良い。また帯域圧縮しない場合は、(23)式を全て演算すれば良い。

【0069】さらに上述の実施例においては、タップ係数の係数配列を偶数分割及び奇数分割する場合の例として、4分割、5分割及び6分割するようにした場合について述べたが、本発明はこれに限らず、所望の分解能に応じて種々の分割数を用いても良い。

【0070】さらに上述の実施例においては、パラレルデータ $X_0 \sim X_3$ を供給する手段としてFIR型デジタルフィルタ500を用いるようにした場合について述べたが、本発明はこれに限らず、他の種々の構成による

FIR型デジタルフィルタを用いるようにしても良い。

【0071】

【発明の効果】上述のように本発明によれば、オーバーサンプリング方式によりサンプリングしたデータを演算処理する有限長インパルス応答フィルタにおいて、一定周期の時間遅れで処理される入力データ群ごとにグループ分けされた各グループのデータを所定の遅延時間ずつ遅延させ、遅延させたデータの内、同一のタップ係数を乗算すべきデータ同士を加算した後に、所定のタップ係数がそれぞれ乗算されてなるデータを全て加算して出力することにより、演算処理部の規模を半分にすることができ、かくしてデジタルフィルタ演算処理を高速で実行し得る小型でかつ簡易な構成の有限長インパルス応答フィルタ、デジタル信号処理装置及びデジタル信号処理方法を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施例による基本システムの構成を示すブロック図である。

【図2】本発明の一実施例によるFIR型デジタルフィルタ（1）の構成を示すブロック図である。

【図3】本発明の一実施例によるFIR型デジタルフィルタ（2）の構成を示すブロック図である。

【図4】本発明の一実施例によるタップ係数を4分割した場合の係数配列を示す略線図である。

【図5】本発明の一実施例によるタップ係数を4分割した場合のFIR型デジタルフィルタの構成を示すブロック図である。

【図6】本発明の一実施例によるタップ係数を6分割した場合の係数配列を示す略線図である。

【図7】本発明の一実施例によるタップ係数を6分割した場合のFIR型デジタルフィルタの構成を示すブロック図である。

【図8】本発明の一実施例によるタップ係数を5分割した場合の係数配列を示す略線図である。

【図9】本発明の一実施例によるタップ係数を5分割した場合のFIR型デジタルフィルタの構成を示すブロック図である。

【図10】本発明の一実施例によるインターフェース装置の構成を示すブロック図である。

【図11】本発明の一実施例によるインターフェース装置内のデジタル信号処理部の構成を示すブロック図である。

【図12】本発明の一実施例によるデジタル信号処理部内の内積演算ブロックの構成を示すブロック図である。

【図13】本発明の一実施例によるデジタル信号処理部の設定内容を示す図表である。

【図14】本発明の一実施例によるFIR型デジタルフィルタ（1）の構成を示す略線図である。

【図15】本発明の一実施例によるFIR型デジタルフィルタ(2)の構成を示す略線図である。

【図16】他の実施例による加算器を外部で持たせたFIR型デジタルフィルタの構成を示す略線図である。

【符号の説明】

1……基本システム、2、50、70、120、200、500……FIR型デジタルフィルタ、300……インターフェース装置、3～23、75～78、86～91、101～108、125～128、136～141、151～158、168～175、207～212、224～233、245～254……遅延素子、24～44、46～56、71、72、80～82、93

～96、121、122、130～132、143～146、160～163、201～203、214～218、235～239、467～470、528～535、562～570、631～646……乗算器、57～66、73、74、83～85、97～100、123、124、133～135、147～150、164～167、204～206、219～223、240～244、459～462、475～478、520～527、555～562、615～630……加算器、45、67、110、177、256、536、537、571、572、647～650……総加算器。

【図1】

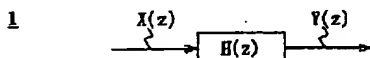


図1 基本システム

【図2】

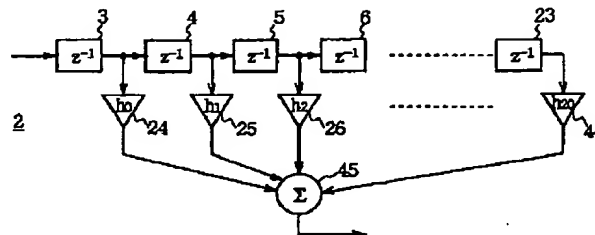


図2 FIR型デジタルフィルタ(1)

【図3】

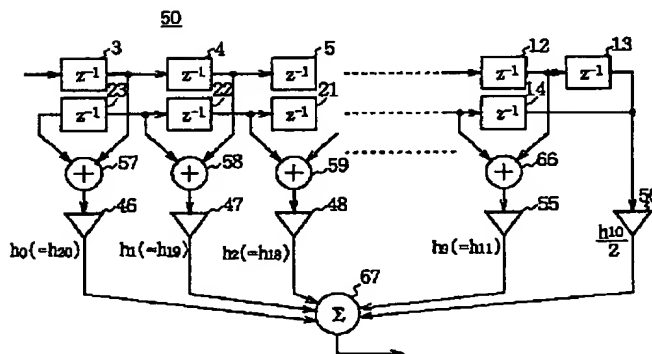


図3 FIR型デジタルフィルタ(2)

【図4】

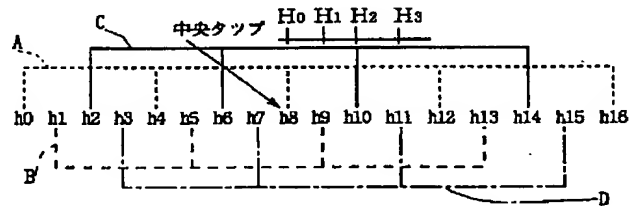


図4 4分割時の係数配列

【図16】

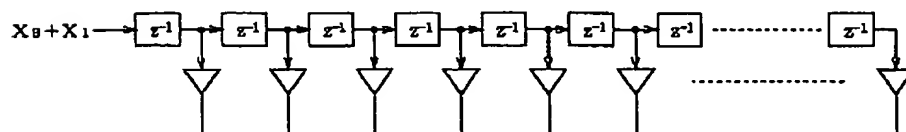


図16 加算器を外部で持たせた構成例

【図10】

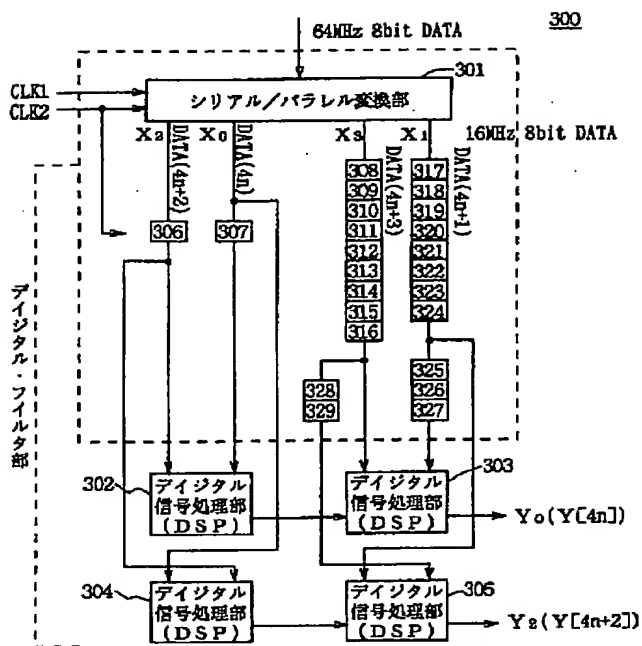


図10 インターフェース装置の構成

【図5】

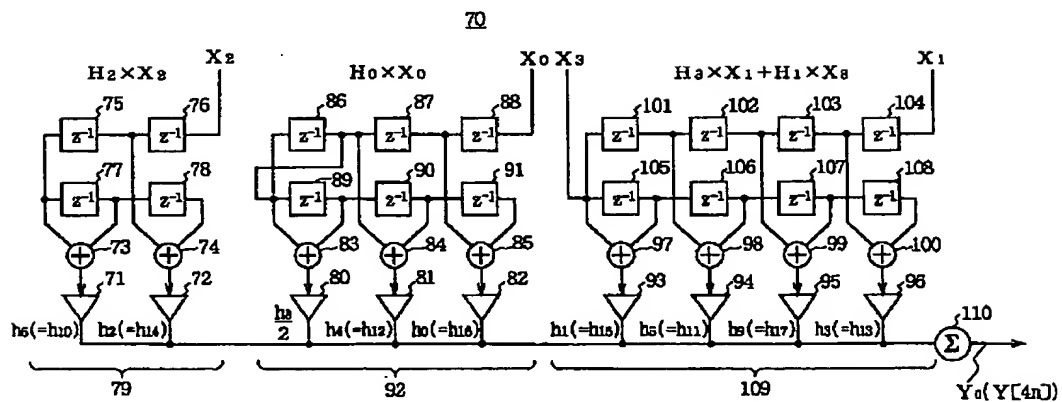


図5 4分割時のFIR型デジタルフィルタ

【図6】

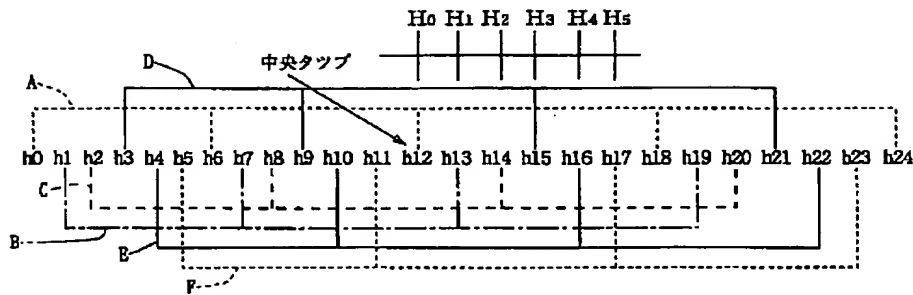


図6 6分割時の係数配列

【図7】

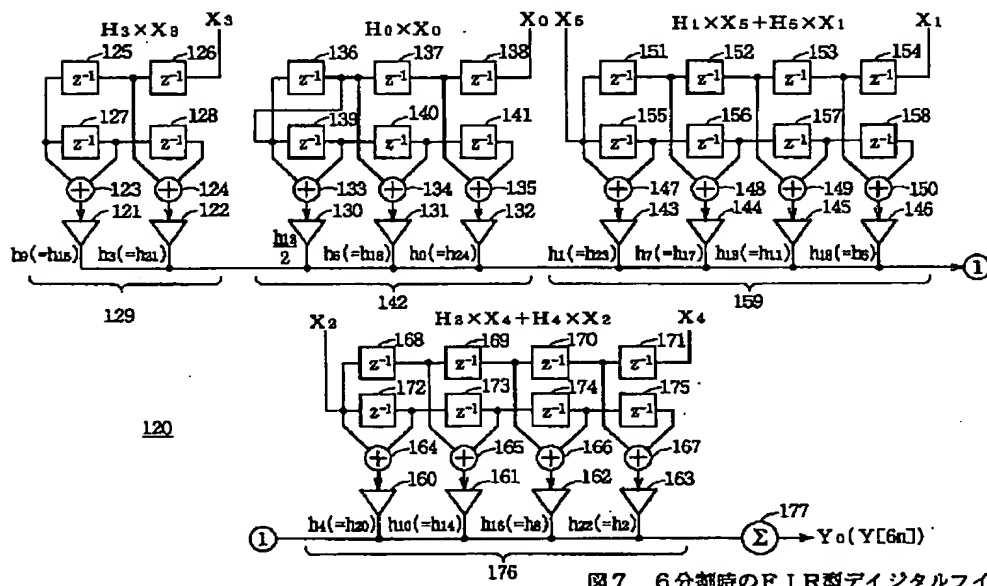


図7 6分割時のFIR型デジタルフィルタ

【図8】

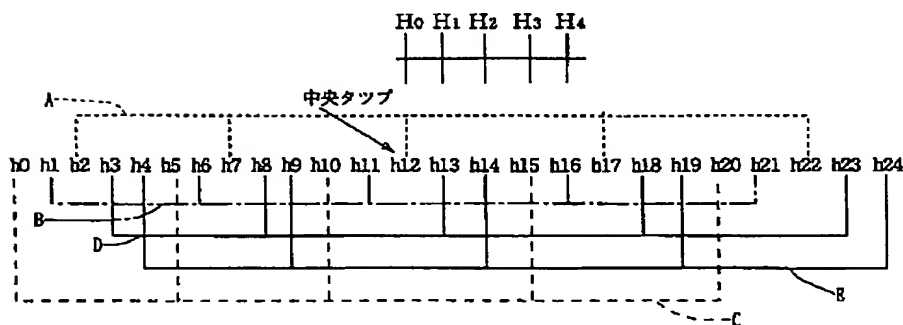


図8 5分割時の係数配列

【図9】

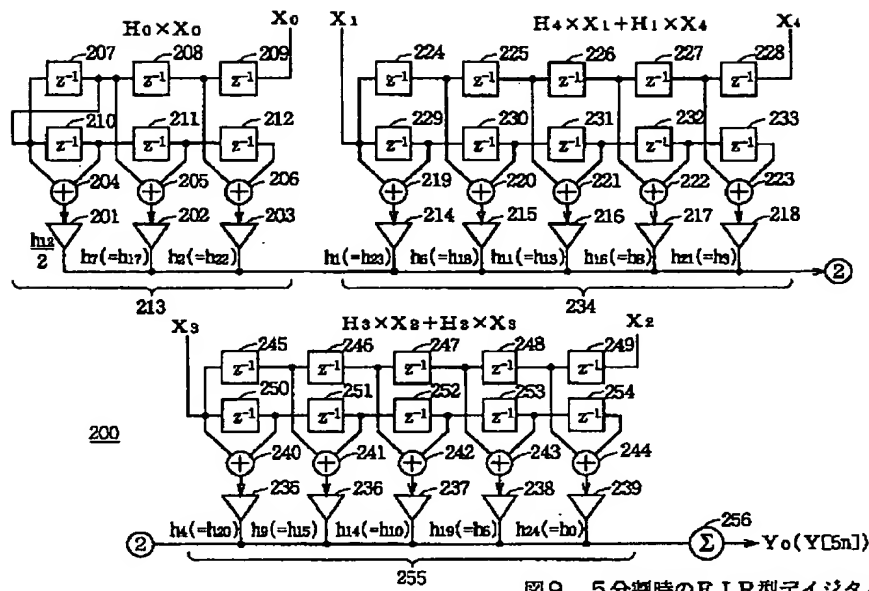
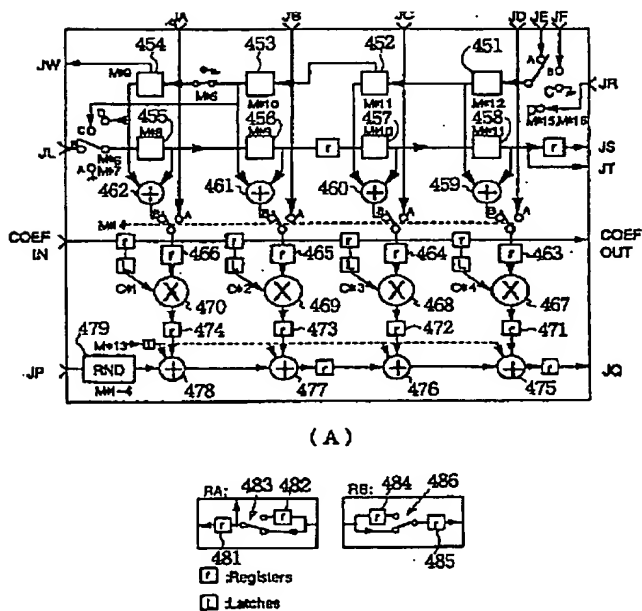


図9 5分割時のFIR型デジタルフィルタ

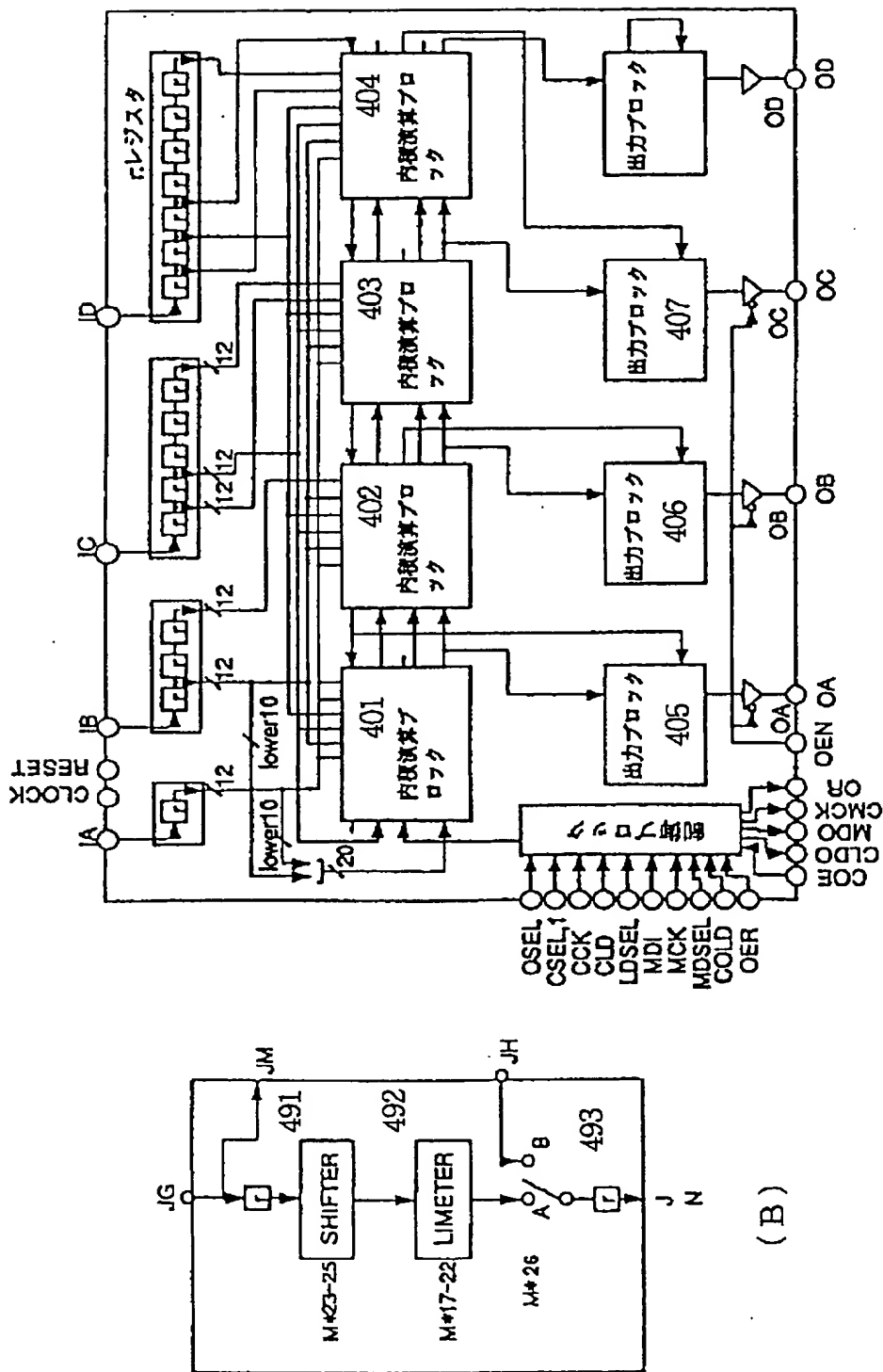
【図12】



(B)

図12 内積演算ブロックの構成

【図11】



(A)

(B)

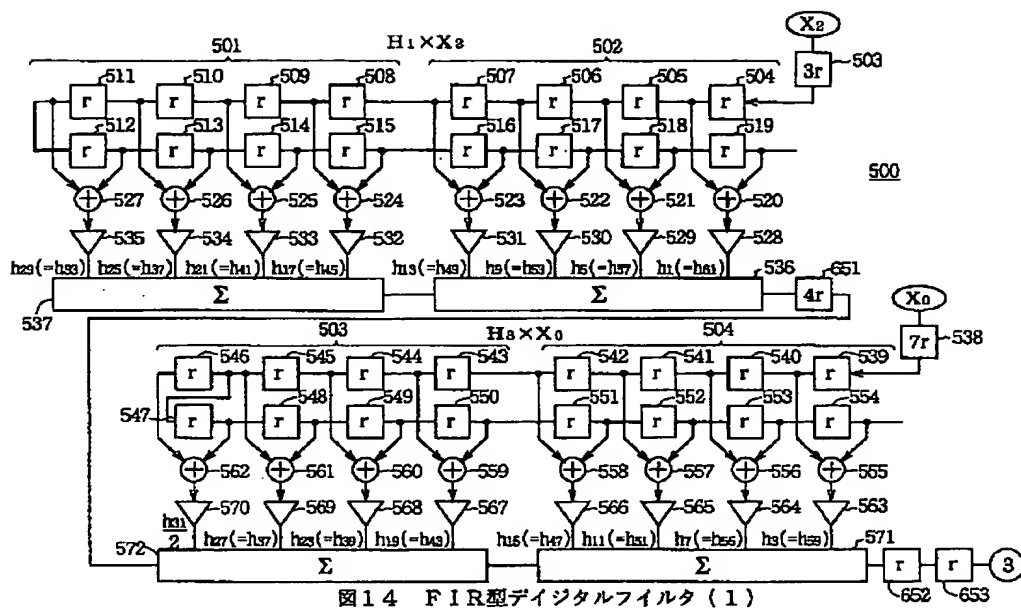
図11 デジタル信号処理部の構成

【図13】

M27 (未使用ビット)	0	すべての場合
M26 (出力信号セレクト)	0 1	A B C BLOCK の場合 0A 0B 0C は使用しないので Don't care 最終段の 0D (図6の最終出力BLOCK)のみ、リミッター使用
M25, 24, 23 (シフター設定)	0, 0, 0 1, 0, 0 1, 1, 1	シフトしない。 シフター値 '1' シフター値 '7'
M22, 21, 20, 19, 18, 17 (出力リミッター設定)	0, 0, 0, 0, 0, 0 それ以外	リミッターをかけない リミッターをかける (このフィルターでは 1, 0, 0, 1, 0, 0)
M16, 15 (上段register群の 入力セレクト)	0, 0 1, 0 0, 1 1, 1	図8のスイッチにおいてAを選択 Bを選択 Cを選択 Dを選択
M14 (Matrix/Filter select)	0 1	マトリクス演算用 フィルター演算用
M13 (乗算器丸めControl)	0 1	丸め演算を行なわない 切り捨てずに四捨五入して丸める
M12, 11, 10, 9, 8 (register追加設定)	0 1	追加しない (このフィルターでは すべて 0) 追加する
M7, 6 (下段register群の 入力セレクト)	M16, 15 と同じ	
M5 (中央タップの1bitShift)	0 1	1bit Shift (1/2倍) させる Shift させない
M4, 3, 2, 1 (出力丸め制御)	M1 = 0 それ以外	丸めず そのまま通過 丸める (RNDコード= M2*4 + M3*2 + M4)

図13 デジタル信号処理部の設定内容

【図14】



【図15】

